



PATENT  
3313-1009P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: LIAW, Shion-Hau et al. Conf.:  
Appl. No.: 10/607,200 Group:  
Filed: June 27, 2003 Examiner:  
For: NON-VOLATILE SRAM CELL

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

September 4, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	091114287	June 28, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By James T. Ellery, Jr. #39538  
Joe McKinney Muncy, #32,334

KM/sll  
3313-1009P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment(s)



W.H.W. Shon et al.  
10/607,200  
Supervisor 4 2003  
358,111  
(103) 205-8000  
2003 10/18  
10/1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請 日：西元 2002 年 06 月 28 日  
Application Date

申請 案 號：091114287  
Application No.

申請 人：連邦科技股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 6 月 18 日  
Issue Date

發文字號：09220599390  
Serial No.

申請日期：

案號：

類別：

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	非揮發性靜態隨機存取記憶體記憶胞
	英文	
二、 發明人	姓名 (中文)	1. 廖修漢 2. 楊鴻銘
	姓名 (英文)	1. Shion-Hau LIAW 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市明湖路648巷122弄150號 2. 屏東市信義路120之1號
三、 申請人	姓名 (名稱) (中文)	1. 達邦科技股份有限公司
	姓名 (名稱) (英文)	1. Brilliance Semiconductor Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學園區園區二路40號2樓
	代表人 姓名 (中文)	1. 林明德
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：非揮發性靜態隨機存取記憶體記憶胞)

本發明係有關於一種非揮發性靜態隨機存取記憶體記憶胞，為一在電源消失後具有記憶功能的記憶胞，包括有一靜態隨機存取單元與一非揮發性記憶單元，其具有靜態隨機存取記憶體之隨機存取的特性，同時在電源關閉後，亦可將資料存入非揮發性記憶單元中，俟電源供應後，又能自動將非揮發性記憶單元中的資料回復至靜態隨機存取單元中。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 【發明之應用領域】

本發明係關於一種靜態隨機存取記憶體之記憶胞，特別是一種非揮發性靜態隨機存取記憶體之記憶胞。

### 【發明背景】

在數位系統運作中時常需要不斷的讀取與儲存數位資料，因此具有記憶功能的記憶元件為實現數位系統之重要元件，可分成幾類：隨機存取記憶體 (Random Access Memory)、串列存取記憶體 (Serial Access Memory)、內容存取記憶體 (Content Access Memory)。

而在半導體的記憶體中通常使用一個由儲存單元 (cell) 所形成的陣列，每一單元可儲存一位元的數據。當需要時可以隨意地將資料存放到每個儲存單元中或自其取出，所以這種記憶體又稱為隨機存取記憶體 (Random Access Memory, RAM)，有別於唯讀記憶體 (Read Only Memory, ROM)。RAM的主要優點在於矩陣中任一位元的存取時間都相同，但其缺點是當電源消失時，所有的資料都會遺失，這種情形被形容為揮發性 (volatile)，也就是說電源一關掉，存放在RAM中的資料就消失了。而存放在ROM中的資料可以一直保存，不因電源關閉而消失。所以ROM也被稱為非揮發性記憶體 (Nonvolatile Memory)。因此，依據記憶體的儲存特性可分為揮發性 (volatile) 及非揮發性 (nonvolatile) 記憶體兩類，其最大的差別便在電源關閉後，非揮發性記憶體之記憶資料仍能持續被保存。揮發性記憶體以靜態隨機存取記憶體 (SRAM) 與動



## 五、發明說明 (2)

態隨機存取記憶體 (DRAM) 為代表，非揮發性記憶體有唯讀記憶體 (ROM)、可程式唯讀記憶體 (PROM)、可抹除可程式唯讀記憶體 (EPROM)、電子可抹除可程式唯讀記憶體 (EEPROM)、以及快閃記憶體 (flash)，其中 ROM 只能寫入資料，不能修改，EPROM 需用紫外線才能更改資料；EEPROM 則利用電壓改資料。

但由於隨機存取記憶體其無法持續保持資料的特性，習知技術遂提出一種非揮發性靜態隨機存取記憶體 (Non-volatile SRAM, nvSRAM) 以解決 RAM 先天的限制，以拓展 RAM 的應用。因為在一些手持式或可攜式的數位產品均是由電池來作為其電源來源，一旦當電池無法持續供電或替帶電源無法立即替代的情形下，儲存在記憶體中的資料便會立即遺失。在這種情形下，使用 nvSRAM 即是一種合適的技術解決方案，包括有兩個部分，一為靜態隨機存取單元，一為具非揮發特性的記憶單元，其中 SRAM 的部分係當有電源供應時，用來暫時存取資料，非揮發特性記憶單元部分則用以在電源消失時儲存資料，並且在電源供應恢復時，可以將資料回復到 SRAM 的部分中。

這種 nvSRAM 在研發上的一項重要因素是必須在電源完全消失前能夠快速完全的將資料儲存到非揮發特性記憶單元中，因此習知技術有提出一種快速儲存能力的 nvSRAM，如美國第 6097329 號專利所揭露的具有高速儲存能力的非揮發性靜態隨機存取記憶體 (Non-volatile Static Random Access Memory with High Speed STORE

### 五、發明說明 (3)

Capability)，其係利用 SRAM 記憶胞以及一 nv cell 來組成一 nvSRAM，並利用一控制器來作為除儲存資料時的控制器，以達到快速存取的目的。

因此習知技術中對於 NVRAM 已提出多種解決方案，本發明再提出一種的新式的非揮發性靜態隨機存取記憶體記憶胞，其所運用的電晶體數目較少，且存取的速度也比較快。

#### 【發明之目的及概述】

綜上所述，本發明的主要目的在提供一種非揮發性隨機存取記憶體之記憶胞，利用一靜態隨機存取記憶體記憶胞 (SRAM cell) 以及一電抹除式可程式僅讀記憶體記憶胞 (EEPROM cell)，結合組成一新的記憶胞，使得新的記憶胞可以在資訊運算環境下具有靜態隨機存取的特性，同時電源消失之前，會將保持在靜態隨機存取記憶體記憶胞中的資料儲存至電抹除式可程式僅讀記憶體記憶胞中，並且在電源恢復供應時，將資料回復至上述之靜態隨機存取記憶體記憶胞中，以免在靜態隨機存取記憶單元記憶胞中的資料因為電源消失而消失。

由於靜態 6T 電晶體記憶單元所構成的記憶體晶片牽涉到最少的電路設計細節及製程知識，因此適合用來作為資料運算環境較不複雜數位系統，例如行動電話或手持式資訊處理裝置中的記憶體。另一個原因是以 CMOS 技術的製作的靜態隨機存取記憶體在靜止時其消耗功率極低，適合應用在以電池作為後備電源的 non-volatile 記憶體中。



#### 五、發明說明 (4)

本發明的另一目的在於提供一種具有快速存取速度的非揮發性隨機存取記憶體記憶胞，由於上述之靜態隨機存取記憶體記憶單元可以一儲存一個位元 (1 bit) 的記憶架構，且上述之電抹除式可程式僅讀記憶體記憶胞同樣的為一個位元 (1 bit) 的記憶架構，因此，在電源消失前，隨機存取記憶體中每一位元的資料可以立即儲存到對應的電抹除式可程式僅讀記憶體記憶胞中，亦即一位元對應一位元 (Bit By Bit) 的非揮發性記憶體的記憶架構。為達上述目的，本發明所提供的非揮發性動態隨機存取記憶體記憶胞主要包括有一靜態隨機存取單元以及一非揮發性記憶單元，其中靜態隨機存取單元用以在一運算環境中接收一位元的資料、保持該一位元資料，並且傳送該一位元資料至該運算環境；而非揮發性記憶單元與該靜態隨機存取記憶單元連接，用以在電源消失前，將靜態隨機存取單元中該一位元資料儲存至非揮發性記憶單元，並在電源消失後，將該一位元資料保持在非揮發性記憶單元中，俟電源重新供應後，回復該一位元資料至該靜態隨機存取單元。

有關本發明的特徵與實作，茲配合圖示作最佳實施例詳細說明如下：

#### 【發明之詳細說明】

為了方便討論與閱讀的進行，以下以 SRAM cell (靜態隨機存取單元) 來代替靜態隨機存取記憶體記憶胞，而具有記憶功能的電抹除式可程式僅讀記憶體記憶胞則以



#### 五、發明說明 (5)

EEPROM cell來稱呼。通常，記憶功能亦即所謂的非揮發性，故而將 EEPROM cell進一步以 nv cell(記憶單元)來稱呼，其中 nv即指非揮發(Non-Volatile)。而本發明所揭露的非揮發性靜態隨機存取記憶體則以 nvSRAM來稱呼。

如「第1圖」所示，本發明所揭露的 nvSRAM的組成電路圖，包括有一藉由字元線(Bit Line)接收運算環境中資料的 SRAM cell 10，為一位元資料的記憶架構，其可暫時保持該一位元的資料，並在稍後的時間中，依據中央處理器所要求的執行指令，將資料傳送到外部運算環境中。另外，nvSRAM亦包括有一 nv cell 20，係用以在電源完全消失前儲存 SRAM cell 10中的資料，並且在電源消失的時候，可將資料紀錄在 nv cell 20中，俟電源恢復供應時，再將資料回復到 SRAM cell 10中。

如圖所示，SRAM cell中包括有六個電晶體(第一電晶體 Q1、第二電晶體 Q2、第三電晶體 Q3、第四電晶體 Q4、第五電晶體 Q5、第六電晶體 Q6)，為一種六電晶體架構的一位元記憶單元，係將一對 CMOS反向器(Inverter)連接成正反器(Flip Flop)，記憶節點 N1、N2分別連接一對存取電晶體作為傳輸閘，分別為第五電晶體 Q5、第六電晶體 Q6，Q5、Q6的閘極連接字線(Word Line)，經由 Q1、Q2而和位元線(Bit Line)之間進行讀寫、寫入資料的傳送。其中 Q3與 Q4為 P通道金氧半電晶體(pMOS)，Q1與 Q2為 n通道金氧半電晶體(nMOS)，Q1與 Q3、Q2與 Q4分別組成 CMOS反向器。



## 五、發明說明 (6)

Q1、Q3的閘極 ( Gate) 與 Q2、Q4的汲極 ( Drain) 相接，Q2、Q4的的閘極與 Q1、Q3的汲極相接，Q3、Q4的源極 ( Source) 接到電源供應 Vcc，Q1與 Q2的源極則接地。當資料 1 儲存 ( latch) 在 SRAM cell 10 中時，Q2 為 ON，Q1 為 OFF，節點 N1 電壓為 Vcc，N2 電壓為 0。亦即，當 Q1 為 OFF 而 Q2 為 ON 時，則相對應代表資料 1 儲存在 SRAM cell 中。

第五電晶體 Q5 及第六電晶體 Q6 的閘極連接到字線，汲極 ( 或源極) 則分別連接到節點 N1 與 N2，源極 ( 或汲極) 分別連接到字元線，Q5 與 Q6 的作用如同開關，當其狀態為 ON 的時候，資料可以藉由字元線傳送出去，其 ON 與 OFF 的狀態係由字線上的訊號所決定。當字線的電壓被拉高 ( 高準位) 時，存取電晶體 Q5、Q6 就被打開。藉由字線將一位元的資料儲存起來，並藉由字線將資料傳遞出去。

nv cell 20 中包括有兩個分裂閘 ( split gate) 型電晶體，分別為第七電晶體 Q7 及第八電晶體 Q8，係為一種具有記憶功能的電晶體，係藉由電子注入釋出的方式將資料記憶在閘極與基體間的浮閘 ( floating gate)。其中，Q7、Q8 的控制閘極相接 ( Vcg)，其源極係接在一起 ( Vpp)，而 Q7 的汲極連接到節點 N1，Q8 的汲極連接到節點 N2。使用兩個電晶體 Q7、Q8 的理由是因為 SRAM cell 10 中記憶的資料係儲存在 N1 與 N2 中，因此必須用兩個電晶體來 Q7、Q8 對應 N1 與 N2 的狀態。

以下將整個記憶胞的操作方式作更進一步的說明。本發明提及的非揮發性靜態隨機存取記憶體記憶胞可以 5 伏

#### 五、發明說明 (7)

特作為工作電源，也可以以 3 伏特作為工作電源。以下討論以工作電源 3 伏特為主。

我們從電源一開始啟動來進行討論。當電源一開始供電的時候，控制晶片會促使 nv cell 20 儲存於其中的資料先回復至 SRAM cell 10 中。

此時的電晶體 Q3 與 Q4 的源極電壓  $V_{cc}=1\sim 2$  伏特，字線電壓  $V_{w1}=0$  伏特，表示此時 SRAM cell 10 未被選取。nv cell 20 中控制閘的電壓  $V_{cg}=4\sim 6$  伏特，源極電壓  $V_{pp}=4\sim 6$  伏特。在上述電壓操作範圍下，上一次電源消失後所儲存的資料會先從 nv cell 20 回復至 SRAM cell 10 中。

當資料回復至 SRAM cell 10 中之後，接著進行 nv cell 20 的初始化，亦即將 nv cell 20 中資料刪除，以作為下一次資料的儲存。

清除 nv cell 20 中的電子係利用在浮閘與源極間的高電壓差，達成電子以 F-N 隧道式穿透 Oxide 介電層移至源極，使得代表該資料的電子已不存在第七電晶體 Q7 與第八電晶體 Q8 中， $V_{cg}=-4\sim -6$  伏特，源極的電壓  $V_{pp}=8\sim 10$  伏特，而 SRAM cell 10 的  $V_{cc}=2.5\sim 3.5$  伏特， $V_{ss}=0$  伏特，字線電壓  $V_{w1}=0$  伏特。

兩個記憶單元 10、20 係為兩個獨立之記憶單元，操作時必須避免彼此的干擾。亦即，當 SRAM cell 10 在進行隨機存取讀寫操作時，nv cell 20 記憶胞必須保持為關閉 (OFF) 的狀態，而當 nv cell 20 在進行儲存與將資料回復到 SRAM 記憶胞中時，SRAM cell 必須為關閉 (OFF) 狀態。

#### 五、發明說明 (8)

因此，當 SRAM 要進行一般的讀寫操作時，將控制閘的電壓  $V_{cg}=0$  伏特，而源極電壓  $V_{pp}$  為浮接或接地（電壓為 0 伏特）。因分裂閘電壓  $V_{cg}=0$  伏特，所以 nv cell 20 為關閉狀態，nv cell 20 不會有電流經過，故 SRAM cell 10 可以正常的操作。

當電源偵測器感測到電源消失時，會立即的發出儲存的控制訊號，通知 NVRAM 立即將 SRAM cell 10 中的資料立即儲存。

從 SRAM cell 10 儲存到 nv cell 20 中可視為將資料自 SRAM cell 10 中讀出，並將資料寫入 nv cell 20 中，亦即對 nv cell 10 作寫入的操作。

當要對 nv cell 20 進行寫入操作時，nv cell 20 控制閘的電壓  $V_{cg}=8\sim 10$  伏特，源極電壓  $V_{pp}=4\sim 6$  伏特，而 SRAM cell 10 的  $V_{w1}=0$  伏特， $V_{cc}=2.5\sim 3.5$  伏特，在給定此電壓的狀態下進行寫入操作（Programming Operation）。

當 SRAM 中儲存的資料是 1 時（N1 是高電壓準位、N2 是 0 伏特），節點 N1 電壓為  $V_{cc}=2.5\sim 3.5$  伏特，因此  $V_{pp}$  和  $V_{N1}$  的電壓差大約在 0.5 伏特至 2.5 伏特，此電壓差不足以產生強烈的熱載子，所以 Q7 浮閘上也沒有電子存在，因此 Q7 仍舊在 ERASE STATE（代表 nv cell 沒有寫資料），相對的 Q8 有足夠的  $V_{pp}$  和  $V_{N2}$  電壓差 4~6 伏特，可使強熱載子產生，使得 Q8 的浮閘上有電子進入，稱為 PROGRAMING STATE（代表 nv cell 有寫資料）。因此，Q7 為 ERASE STATE，Q8 為 PROGRAMING STATE，代表 1 的寫入。



#### 五、發明說明 (9)

當 SRAM 中的 data=0 時 ( N1 是 0 伏特、N2 是高電壓準位 )，節點 N2 電壓為 2.5 伏特至 3.5 伏特，因此  $V_{pp}$  與 VN2 的電壓差大約在 0.5 伏特 ~ 2.5 伏特，使得 Q8 為 ERASE STATE，相對的 Q7 為 PROGRAMING STATE，代表 0 的寫入。如上所述，當電源關閉時，資料已自 SRAM cell 10 寫入 nv cell 20 中，避免在 SRAM 中的資料因為電源的消失而消失。

自 nv cell 20 中將資料寫回 SRAM cell 10 中，視為從 nv cell 20 中讀取資料。回復操作係在電源供應重新恢復時才予以進行，以下說明 0 與 1 資料回復至 SRAM cell 的操作過程。

此時，控制閘的電壓  $V_{cg}=4\sim6$  伏特，源極的電壓  $V_{pp}=4\sim6$  伏特，SRAM cell 10 的  $V_{w1}=0$  伏特， $V_{cc}=1\sim2$  伏特。此時，控制閘的電壓僅有 4~6 伏特，所以不會進行寫入的操作。

當 nv cell 20 儲存資料 1 時，第七電晶體 Q7 為 ERASE STATE，第八電晶體 Q8 為 PROGRAMMING STATE，由於 Q7 中無電子注入，因此成導通 ( ON ) 狀態，Q8 有電子注入，為不導通 ( OFF ) 狀態，Q7 有電流流出，Q8 則無電流流出，相對使得節點 N1 充電至高電壓，N2 為低電壓，代表資料 1 回復至 SRAM cell 10 中。

當 nv cell 20 儲存資料 0 時，第七電晶體 Q7 為 PROGRAMMING STATE，第八電晶體 Q8 為 ERASE STATE，由於 Q7 中有電子注入，因此成導通 ( OFF ) 狀態，Q8 無電子注



#### 五、發明說明 (10)

入，為不導通 (ON) 狀態，Q7無電流流出，Q8則有電流流出，相對使得節點N1電壓為0伏特，N2充電至高電壓，代表資料0回復至SRAM cell 10中。

本發明提出一種新式的非揮發性靜態存取記憶體記憶胞，使得在電源消失時，在靜態隨機存取記憶胞中的資料不致因電源消失而消失，且由於每一位元的靜態隨機存取記憶體記憶胞都有一相對應的一位元記憶單元，使得不論在儲存或回復至靜態隨機存取記憶單元時，均為一位元對應一位元的方式來進行，可以快速的儲存與讀取資料，有效降低功率的消耗。

雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係為本發明之非揮發性靜態隨機存取記憶體記憶胞之電路圖。

【圖示符號說明】

- 10 靜態隨機存取單元
- 20 非揮發性記憶單元
- Q1 第一電晶體
- Q2 第二電晶體
- Q3 第三電晶體
- Q4 第四電晶體
- Q5 第五電晶體
- Q6 第六電晶體
- Q7 第七電晶體
- Q8 第八電晶體
- N1 節點
- N2 節點





## 六、申請專利範圍

1. 一種非揮發性靜態隨機存取記憶體記憶胞，包括有：
  - 一靜態隨機存取單元，用以進行接收1位元（1 bit）的資料、暫時保存該1位元資料，並且傳送該1位元資料的正常操作；及
  - 一非揮發性記憶單元，與該靜態隨機存取記憶單元連接，用以在電源消失前，儲存該靜態隨機存取單元中1位元的資料（儲存操作），在電源消失後，保持該1位元資料（保存操作），俟電源重新供應後，回復該一位元資料至該靜態隨機存取單元中（回復操作），並在回復操作完成後，將資料自該非揮發性記憶單元中清除（清除操作）。
2. 如申請專利範圍第1項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該靜態隨機存取單元中更包含有一對反向器以及兩個N通道金氧半場效電晶體（nMOS），該nMOS的閘極各連接有一字線。
3. 如申請專利範圍第1項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該非揮發性記憶單元更包含有兩個分裂閘（split gate）型電晶體。
4. 如申請專利範圍第1項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該清除操作時，該分裂閘型電晶體的控制閘的電壓為小於0伏特的負電壓，該分裂閘型電晶體的源極電壓為大於5伏特的高電壓。
5. 如申請專利範圍第1項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該靜態隨機存取單元正常操作時，該



## 六、申請專利範圍

- 分裂閘型電晶體的 control 閘的電壓為 0 伏特，該分裂閘型電晶體的源極為源極電壓為 0 伏特與浮接其中之一。
6. 如申請專利範圍第 1 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中儲存操作時，該分裂閘型電晶體的 control 閘的電壓大於該分裂閘型電晶體源極的電壓。
7. 如申請專利範圍第 1 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中回復操作時，該分裂閘型電晶體的 control 閘的電壓等於該分裂閘型電晶體的源極電壓。
8. 如申請專利範圍第 1 項所述之非揮發性靜態隨機存取記憶體，其中該回復操作、該清除操作及該儲存操作時，該靜態隨機存取單元的字線的電壓下拉至低準位。
9. 一種非揮發性靜態隨機存取記憶體記憶胞，包括有：
- 一靜態隨機存取單元，包括有第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體以及第六電晶體，其中該第一電晶體與該第三電晶體組成一反向器，該第二電晶體與該第四電晶體組成另一反向器，該第一電晶體與該第三電晶體的閘極與該第二電晶體、該第四電晶體及該第六電晶體的汲極相接，該第二電晶體與該第四電晶體的閘極與該第一電晶體、該第三電晶體及該第五電晶體的汲極相接，該第五電晶體與該第六電晶體的閘極連接有一字線；及
- 一非揮發性記憶單元，與該靜態隨機存取記憶單元連接，包括有第七電晶體與第八電晶體，其中該第七電晶體與該第八電晶體的閘極相接，該第七電晶體的汲極

#### 六、申請專利範圍

與該第一電晶體、該第三電晶體及該第五電晶體的汲極相接，該第八電晶體與該第二電晶體、第四電晶體及該第六電晶體的汲極相接；

其中該靜態隨機存取單元用以進行接收 1 位元 (1 bit) 的資料、暫時保存該 1 位元資料，並且傳送該 1 位元資料的正常操作，該非揮發性記憶單元用以在電源消失前，儲存該靜態隨機存取單元中 1 位元的資料 (儲存操作)，在電源消失後，保持該 1 位元資料 (保存操作)，俟電源重新供應後，回復該一位元資料至該靜態隨機存取單元中 (回復操作)，並在回復操作完成後，將資料自該非揮發性記憶單元中清除 (清除操作)。

10. 如申請專利範圍第 9 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該第一電晶體、該第二電晶體、該第五電晶體與該第六電晶體為 nMOS，該第三電晶體與該第四電晶體為 pMOS。
11. 如申請專利範圍第 9 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該第七電晶體與該第八電晶體為分裂閘 (split gate) 型電晶體。
12. 如申請專利範圍第 9 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該清除操作時，該第七電晶體與該第八電晶體的控制閘電壓為小於 0 伏特的負電壓，源極電壓為大於 5 伏特的高電壓。
13. 如申請專利範圍第 9 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該靜態隨機存取單元正常操作時，

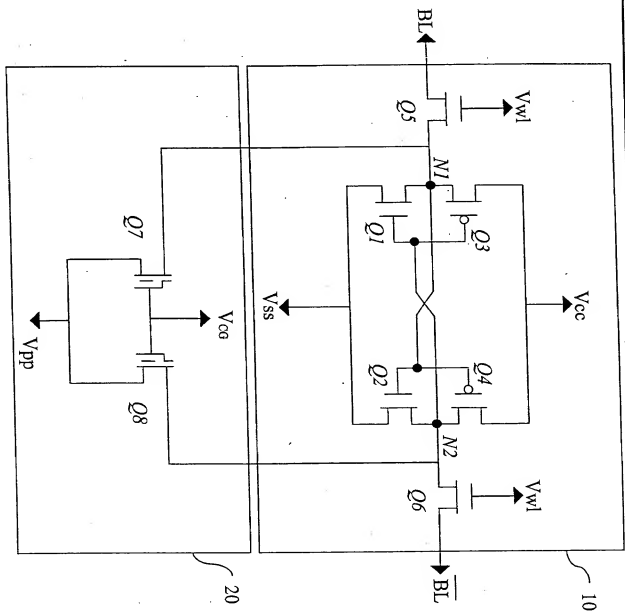


六、申請專利範圍

該第七電晶體與第八電晶體的控制閘的電壓為 0 伏特，源極電壓為 0 伏特與浮接其中之一。

14. 如申請專利範圍第 9 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中儲存操作時，該第七電晶體與該第八電晶體的控制閘電壓大於源極電壓。
15. 如申請專利範圍第 9 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中回復操作時，該第七電晶體與該第八電晶體的控制閘電壓等於源極電壓。
16. 如申請專利範圍第 9 項所述之非揮發性靜態隨機存取記憶體記憶胞，其中該回復操作、該清除操作及該儲存操作時，該靜態隨機存取單元的字線的電壓下拉至低準位。





第 1 圖

第 1/18 頁



第 2/18 頁



第 4/18 頁



第 4/18 頁



第 5/18 頁



第 5/18 頁



第 6/18 頁



第 6/18 頁



第 7/18 頁



第 7/18 頁



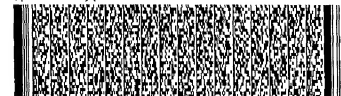
第 8/18 頁



第 8/18 頁



第 9/18 頁



第 9/18 頁



第 10/18 頁



第 10/18 頁



第 11/18 頁



第 11/18 頁



第 12/18 頁



第 12/18 頁



第 13/18 頁



第 13/18 頁



第 14/18 頁



第 15/18 頁



第 15/18 頁



第 16/18 頁



第 16/18 頁



第 17/18 頁



第 17/18 頁



第 18/18 頁

